

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
10. Februar 2005 (10.02.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/013364 A2

(51) Internationale Patentklassifikation⁷: **H01L 25/065**

(21) Internationales Aktenzeichen: PCT/DE2004/001488

(22) Internationales Anmeldedatum:
8. Juli 2004 (08.07.2004)

(25) Elnreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 34 575.2 28. Juli 2003 (28.07.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): FÜRGUT, Edward

[DE/DE]; Ligusterweg 2, 86453 Dasing (DE). **GOLLER, Bernd** [DE/DE]; Bahnhofstr. 28 r, 83624 Otterfing (DE). **HAGEN, Robert-Christian** [DE/DE]; Schlosssteig 21, 93092 Sarching (DE). **JEREBIC, Simon** [SI/DE]; Hermann-Köhl-str. 14, 93049 Regensburg (DE). **POHL, Jens** [DE/DE]; Sudetenstr. 5a, 93170 Bernhardswald (DE). **STROBEL, Peter** [DE/DE]; Weissgerbergraben 4, 93047 Regensburg (DE). **WÖRNER, Holger** [DE/DE]; Martin-Ernst-Str. 43, 93049 Regensburg (DE).

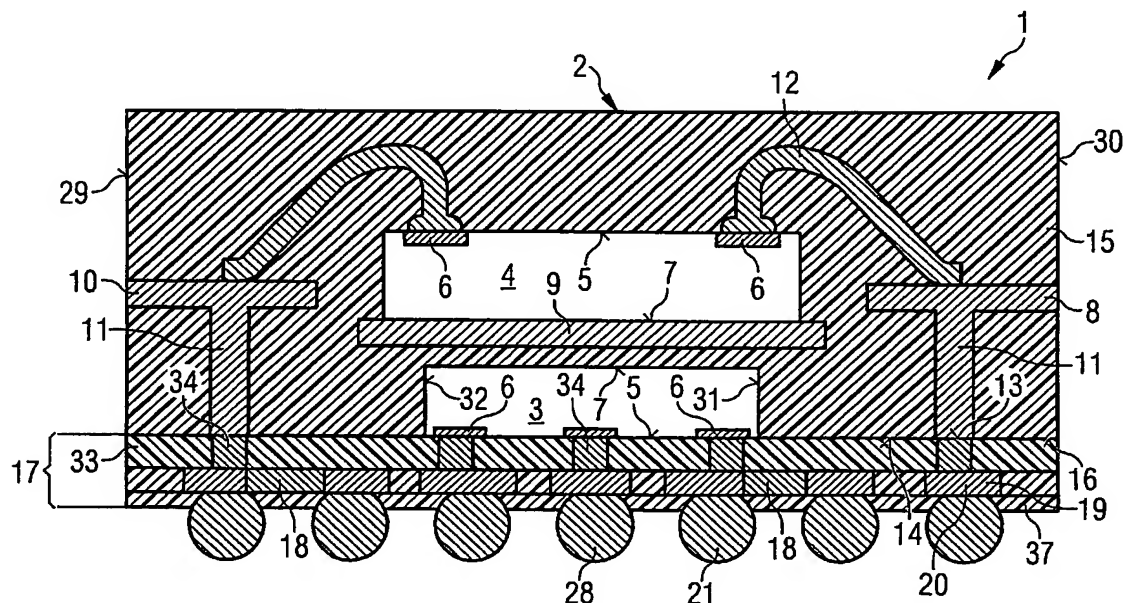
(74) Anwalt: **SCHWEIGER, Martin**; c/o Kanzlei Schweiger & Partner, Karl-Theodor-Str. 69, 80803 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,

[Fortsetzung auf der nächsten Seite]

(54) Title: ELECTRONIC COMPONENT AND PANEL FOR PRODUCING THE SAME

(54) Bezeichnung: ELEKTRONISCHES BAUTEIL UND NUTZEN ZUR HERSTELLUNG DESSELBEN



(57) Abstract: The invention relates to an electronic component (1) comprising stacked semiconductor chips (3,4) and a panel (23) for producing the component (1). Said stack (2) has a flat conductor structure (8) with a chip island (9) on which a stacked semiconductor chip (4) is arranged, a first semiconductor chip (3) being arranged below the chip island. Said chip island (9) is surrounded by flat conductors (10) comprising contact columns (11). Said contact columns (11) have column contact surfaces (13) which form a coplanar complete upper side (16) together with the active upper side (5) of the first semiconductor chip (3) and upper side regions (14) of a plastic housing mass (15).

[Fortsetzung auf der nächsten Seite]



KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT,

RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) **Zusammenfassung:** Die Erfindung betrifft ein elektronisches Bauteil (1) mit gestapelten Halbleiterchips (3,4) und einen Nutzen (23) zur Herstellung des Bauteils (1). Dazu weist der Stapel (2) eine Flachleiterstruktur (8) mit einer Chipinsel (9) auf, auf welcher ein gestapelter Halbleiterchip (4) angeordnet ist, während sich darunter ein erster Halbleiterchip (3) befindet. Die Chipinsel (9) ist von Flachleitern (10) umgeben, die Kontaktsäulen (11) aufweisen. Diese Kontaktsäulen (11) weisen Säulenkontaktflächen (13) auf, welche zusammen mit der aktiven Oberseite (5) des ersten Halbleiterchips (3) und Oberseitenbereichen (14) einer Kunststoffgehäusemasse (15) eine koplanare Gesamtoberseite (16) bilden.

Beschreibung

Elektronisches Bauteil und Nutzen zur Herstellung desselben

- 5 Die Erfindung betrifft ein elektronisches Bauteil mit gestapelten Halbleiterchips und einen Nutzen zur Herstellung des Bauteils.

Das Stapeln von Halbleiterchips unterschiedlicher Größe zu
10 einem kompakten elektronischen Bauteil ist kostenintensiv und mit hohen Risiken in Bezug auf ein einwandfreies Zusammenwirken der integrierten Schaltungen der Halbleiterchips verbunden. Die hohen Kosten entstehen insbesondere durch das Bereitstellen von Umverdrahtungslagen für jeden der zu stapeln-
15 den Halbleiterchips und durch das Herstellen von elektrischen Verbindungen zwischen den Umverdrahtungslagen jedes Halbleiterchips. Darüber hinaus sind elektrische Verbindungen zu schaffen, welche von den unterschiedlichen Umverdrahtungslagen zu oberflächenmontierbaren Außenkontakten eines elektro-
20 nischen Bauteils führen.

Aufgabe der Erfindung ist es, ein kostengünstig herstellbares elektronisches Bauteil mit gestapelten Halbleiterchips anzugeben, welches ein einwandfreies Zusammenwirken der gestapelten Halbleiterchips und ein kostengünstiges elektrisches
25 Verbinden der Kontaktflächen der Halbleiterchips mit oberflächenmontierbaren Außenkontakten des elektronischen Bauteils ermöglicht.

30 Gelöst wird diese Aufgabe mit dem Gegenstand der unabhängigen Ansprüche. Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Erfindungsgemäß wird ein elektronisches Bauteil angegeben, das einen Stapel von Halbleiterchips aufweist. Der Stapel weist mindestens einen ersten Halbleiterchip und einen gestapelten zweiten Halbleiterchip auf. Die Halbleiterchips weisen ihrerseits eine aktive Oberseite mit Kontaktflächen zu ihren integrierten Schaltungen und eine Rückseite auf. Darüber hinaus ist in dem elektronischen Bauteil eine Flachleiterstruktur mit einer Chipinsel und die Chipinsel umgebenden Flachleitern angeordnet. Orthogonal zu den Flachleitern sind Kontaktsäulen auf den Flachleitern ausgerichtet.

Der gestapelte zweite Halbleiterchip ist mit seiner Rückseite auf der Chipinsel der Flachleiterstruktur fixiert und seine Kontaktflächen sind über Bonddrähte mit den die Chipinsel umgebenden Flachleitern elektrisch verbunden. Der erste Halbleiterchip ist unterhalb der Chipinsel angeordnet und von den Kontaktsäulen der Flachleiterstruktur umgeben. Die Flachleiterstruktur mit Chipinsel und aufgebrachtem gestapeltem zweiten Halbleiterchip, sowie den Bondverbindungen und den die Chipinsel umgebenden Flachleiter, sowie die Mantelflächen der Kontaktsäulen sind in eine Kunststoffgehäusemasse eingebettet. Der erste Halbleiterchip ist auf seiner Rückseite und seinen Randseiten ebenfalls von der Kunststoffgehäusemasse umgeben und derart in der Kunststoffgehäusemasse angeordnet, dass seine aktive Oberseite koplanar zu Oberseitenbereichen der Kunststoffgehäusemasse und koplanar zu Säulenoberflächen der Kontaktsäulen ausgerichtet ist, und die koplanar ausgerichteten Oberseiten eine Gesamtoberseite bilden. Als Säulenkontaktfächen werden in diesem Zusammenhang die Grundflächen der Kontaktsäulen bezeichnet.

Diese Gesamtoberseite bietet in vorteilhafter Weise die Möglichkeit, sowohl auf die Kontaktflächen des ersten Halblei-

terchips, als auch auf die Kontaktflächen des gestapelten zweiten Halbleiterchips über die Kontaktsäulen, die Flachleiter und die Bondverbindungen zuzugreifen. Dazu ist lediglich eine Umverdrahtungslage auf der Gesamtoberseite erforderlich, welche die Halbleiterchips über Umverdrahtungsleitungen elektrisch miteinander verbindet.

Somit kombiniert die Erfindung in vorteilhafter Weise eine speziell entwickelte Flachleiterstruktur, die metallische Kontaktsäulen aufweist, mit einer "universal package"-Bauweise zu einem elektronischen Bauteil mit gestapelten Halbleiterchips. Aufgrund der Säulenstrukturen der Flachleiterstruktur können Durchkontaktierungen hergestellt werden. Es entstehen auf der Gesamtoberseite flächig angeordnete Säulenkontaktflächen und Kontaktflächen des ersten Halbleiterchips, welche dann mittels mikrostrukturierter Umverdrahtung elektrisch auf kostengünstige Weise verbunden werden können.

Dabei kann die Montage des ersten Halbleiterchips auf einem einseitig klebenden Träger und die Montage des gestapelten zweiten Halbleiterchips auf der Chipinsel der Flachleiterstruktur weitestgehend getrennt erfolgen, was das Montagerisiko minimiert. Darüber hinaus weist das elektronische Bauteil kein teures Mehrlagensubstrat auf, sondern lediglich eine einzige Umverdrahtungslage, die auf der Gesamtoberseite angeordnet ist. Somit können für das erfindungsgemäße elektronische Bauteil Halbleiterchips mit unterschiedlichem Design flexibel kombiniert und übereinander gestapelt werden, wobei gleichartige oder gleichgroße Halbleiterchips nicht ausgeschlossen sind.

Die vertikale Durchkontaktierung durch die Kunststoffgehäusemasse zu der Gesamtoberseite mit Hilfe der Kontaktsäulen der

Flachleiterstruktur erfolgt auf kostengünstige Weise. Dabei bleiben vor einem Aufbringen der Umverdrahtungslage die Säulenkontaktflächen der Kontaktsäulen, über welche die Kontaktflächen des gestapelten zweiten Halbleiterchips angeschlossen sind, und die Kontaktflächen des unterhalb der Chipinsel angeordneten ersten Halbleiterchips sichtbar, so dass eine Verdrahtung durch eine für beide gestapelte Halbleiterchips gemeinsame Umverdrahtungslage erleichtert wird.

Die Umverdrahtungslage kann eine Umverdrahtungsschicht aufweisen, die auf der Gesamtoberseite angeordnet ist und Außenkontaktflächen aufweist. Diese Außenkontaktflächen sind über die Umverdrahtungsleitungen mit Säulenkontaktflächen auf den Oberseiten der Kontaktsäulen und/oder mit den Kontaktflächen des ersten Halbleiterchips elektrisch verbunden. Dabei reicht eine Umverdrahtungsschicht vollständig aus, um zu beiden Halbleiterchips einen elektrischen Zugriff für ein einwandfreies Zusammenwirken der gestapelten Halbleiterchips zu realisieren.

Auf den Außenkontaktflächen können Lotbälle, und/oder "stud bumps" als Außenkontakte angeordnet sein. Dies hat den Vorteil, dass eine anwendungsspezifische Form von Außenkontakten auf den Außenkontaktflächen realisierbar ist.

Ein weiterer Aspekt der Erfindung betrifft einen Nutzen, der einen Flachleiterraum mit in Zeilen und Spalten angeordneten Bauteilpositionen aufweist. Auf einem derartigen Nutzen können in den Bauteilpositionen bereits komplette elektronische Bauteile mit den gestapelten Halbleiterchips vorhanden sein, und auch die Außenkontakte für jedes der elektronischen Bauteile können bereits auf dem Nutzen angebracht sein. Ein derartiger Nutzen hat den Vorteil, dass die Herstellung von

erfindungsgemäßen elektronischen Bauteilen mit gestapelten Halbleiterchips verbilligt wird, so dass kostengünstig elektronische Bauteile zur Verfügung gestellt werden können.

- 5 Die Form des Nutzens kann in Umfang und Umfangsmarkierungen einem Standard-Halbleiterwafer entsprechen. Dieses hat den Vorteil, dass Verfahrenstechniken, die sich für Halbleiterwafer bewährt haben, auch mit einem derartigen "Wafer-Nutzen" erfolgreich durchgeführt werden können.

10

Ein Verfahren zur Herstellung eines Nutzens für mehrere elektronische Bauteile weist die nachfolgenden Verfahrensschritte auf. Zunächst wird ein Flachleiterrahmen mit in Zeilen und Spalten angeordneten Bauteilpositionen hergestellt.

- 15 Dabei weist eine Bauteilposition eine Chipinsel und die Chipinsel umgebende Flachleiter auf. Auf den Flachleitern sind Kontaktsäulen angeordnet und orthogonal zu den Flachleitern ausgerichtet. Ein derartiger Flachleiterrahmen mit Chipinseln, Flachleitern und auf diesen angeordneten Kontaktsäulen
20 kann durch Strukturätzen einer Metallplatte aus einer Kupferlegierung oder einer Bronzelegierung oder durch Prägen und Stanzen einer Metallfolie kostengünstig hergestellt werden.

- Nachdem ein derartiger Flachleiterrahmen zur Verfügung steht,
25 wird in den Bauteilpositionen auf den Chipinseln ein zu stapelnder Halbleiterchip aufgebracht. Anschließend werden Bondverbindungen zwischen die Chipinsel umgebenden Flachleitern und den Kontaktflächen auf aktiven Oberseiten der gestapelten Halbleiterchips hergestellt. Zur Herstellung derartiger Bondverbindungen ist eine Bonddrahttechnik geeignet, die mit
30 Bonddrähten aus einer Gold- oder einer Aluminiumlegierung arbeitet.

Zeitlich unabhängig von dem Bestücken des Flachleiterrahmens mit gestapelten zweiten Halbleiterchips können erste Halbleiterchips mit ihren aktiven Oberseiten auf einen einseitig klebenden Träger aufgebracht werden. Dazu werden die Halbleiterchips in Zeilen und Spalten angeordnet, die den Zeilen und Spalten der Bauteilpositionen des Flachleiterrahmens entsprechen. Auf den einseitig klebenden Träger mit in Zeilen und Spalten angeordneten Halbleiterchips wird anschließend der Flachleiterrahmen mit dem gestapelten zweiten Halbleiterchip derart aufgebracht und ausgerichtet, dass die ersten Halbleiterchips unterhalb der Chipinseln angeordnet und von Kontaktsäulen umgeben sind.

Diese Kontaktsäulen stehen mit ihren Grundflächen beziehungsweise Säulenkontaktflächen auf dem einseitig klebenden Träger und sind somit mit den aktiven Oberseiten und den Kontaktflächen des ersten Halbleiterchips auf einer gemeinsamen Ebene koplanar ausgerichtet.

Als nächstes wird dann der Flachleiterrahmen mit gestapelten Halbleiterchips und Bondverbindungen in einer Kunststoffgehäusemasse zu einer Verbundplatte auf dem Träger eingebettet. Nach dem Aushärten der Kunststoffgehäusemasse ist die Verbundplatte freitragend und der Träger kann unter Freilegen einer Gesamtoberseite aus aktiven Oberseiten der ersten Halbleiterchips, Säulenkontaktflächen der Kunststoffsäulen und einer Oberseite der Kunststoffmasse entfernt werden. Danach wird eine Umverdrahtungslage auf die Gesamtoberseite unter Ausbilden von Umverdrahtungsleitungen und Außenkontaktflächen auf den Verbundkörper aufgebracht. Dabei verbinden die Umverdrahtungsleitungen die Außenkontaktflächen mit den Kontaktflächen des ersten Halbleiterchips und/oder mit den Säulenkontaktflächen der Kontaktsäulen.

Dieses Verfahren hat den Vorteil, dass ein Nutzen mit mehreren Bauteilen durch einen einzigen Moldprozess entsteht und lediglich eine einzige Umverdrahtungslage erforderlich ist, um die gestapelten Halbleiterchips beziehungsweise ihre integrierten Schaltungen untereinander zu verbinden und mit Außenkontaktflächen in Verbindung zu bringen. Auf den Außenkontaktflächen können anschließend Außenkontakte aufgebracht werden, ohne den Nutzen bereits in einzelne Bauteile zu trennen. Für ein Herstellen von einzelnen elektronischen Bauteilen ist dann lediglich der Nutzen aufzutrennen, was durch Sägen entlang von Sägespuren zwischen den in Zeilen und Spalten angeordneten Bauteilpositionen durchgeführt werden kann.

Außerdem ist es möglich, die Außenkontaktflächen eines elektronischen Bauteils erst nach dem Auftrennen des Nutzens in einzelne elektronische Bauteile mit Außenkontakten zu versehen. Dieses ist dann von Vorteil, wenn für unterschiedliche Anwendungen unterschiedliche Formen der Außenkontakte erforderlich werden.

Die Erfindung wird nun anhand der beigefügten Figuren näher erläutert.

Figur 1 zeigt einen schematischen Querschnitt eines elektronischen Bauteils, gemäß einer Ausführungsform der Erfindung,

Figuren

2 bis 7 zeigen schematische Querschnitte von Zwischenprodukten einzelner Verfahrensschritten zur Herstellung eines Nutzens,

Figur 2 zeigt einen schematischen Querschnitt eines Flachleiterrahmens mit vier Bauteilpositionen zur Herstellung von Bauteilen gemäß Figur 1,

5 Figur 3 zeigt einen schematischen Querschnitt des Flachleiterrahmens gemäß Figur 2, der mit einem zweiten gestapelten Halbleiterchip in den Bauteilpositionen bestückt ist,

10 Figur 4 zeigt einen schematischen Querschnitt eines einseitig klebenden Trägers mit ersten Halbleiterchips,

Figur 5 zeigt einen schematischen Querschnitt des Flachleiterrahmens gemäß Figur 3, der auf dem einseitig klebenden Träger gemäß Figur 4 aufgebracht ist,
15

Figur 6 zeigt einen schematischen Querschnitt durch einen Verbundkörper aus Kunststoffgehäusemasse mit eingebettetem Flachleiterrahmen, sowie ersten und zweiten Halbleiterchips,
20

Figur 7 zeigt einen schematischen Querschnitt gemäß Figur 6 mit aufgebrachter Umverdrahtungslage und aufgebrachten Außenkontakten, auf einer Gesamtoberseite des Nutzens.
25

Figur 1 zeigt einen schematischen Querschnitt durch ein elektronisches Bauteil 1, gemäß einer Ausführungsform der Erfindung. Das elektronische Bauteil 1, weist einen Stapel 2 aus einem ersten Halbleiterchip 3 und einem gestapelten zweiten Halbleiterchip 4 auf. Die Halbleiterchips 3 und 4 weisen aktive Oberseiten 5 mit Kontaktflächen 6 auf. Eine Rückseite 7 des gestapelten zweiten Halbleiterchips 4, ist auf einer
30

Chipinsel 9 angeordnet. Die Chipinsel 9 ist Teil einer Flachleiterstruktur 8, welche die Chipinsel 9 mit Flachleitern 10 umgibt. Bondverbindungen 12 erstrecken sich von den Kontaktflächen 6 des gestapelten zweiten Halbleiterchips 4 zu den
5 Flachleitern 10. Die Flachleiter 10 erstrecken sich bis zu Randseiten 29 und 30 des elektronischen Bauteils 1.

Die Flachleiter 10 weisen Kontaktsäulen 11 auf, die orthogonal zu den Flachleitern 10 angeordnet sind. Die Kontaktsäulen
10 11 erstrecken sich bis zu einer Gesamtoberseite 16, welche aus der aktiven Oberseite 5 des ersten Halbleiterchips 3, Säulenkontaktflächen 13 der Kontaktsäulen 11 und einem Oberseitenbereich 14 einer Kunststoffgehäusemasse 15 gebildet wird. In die Kunststoffgehäusemasse sind die Flachleiter-
15 struktur 8, die Bondverbindungen 12 und der gestapelte zweite Halbleiterchip 4 eingebettet. Unterhalb der Chipinsel 9 ist der erste Halbleiterchip 3 derart angeordnet, dass seine aktive Oberseite 5 mit den Kontaktflächen 6 eine Gesamtoberseite mit den Säulenkontaktflächen 13 der Kontaktsäulen 11 und
20 mit Oberseitenbereichen der Kunststoffgehäusemasse 15 bildet.

Die Kunststoffgehäusemasse 15 bettet die Flachleiterstruktur 8, die Bondverbindungen 12, den gestapelten zweiten Halbleiterchip 4, sowie die Rückseite 7 des ersten Halbleiterchips 3
25 und die Randseiten 31 und 32 des ersten Halbleiterchips ein. Auf der Gesamtoberseite 16 ist eine dreischichtige Umverdrahtungslage 17 angeordnet. Direkt auf der Gesamtoberseite ist eine Isolationsschicht 33 mit Durchkontakten 34 angeordnet. Die Durchkontakte 34 stehen mit den Kontaktflächen 6 des ers-
30 ten Halbleiterchips 3 und den Säulenkontaktflächen 13 der Kontaktsäulen 11 elektrisch in Verbindung. Als nächste Schicht umfasst die Umverdrahtungslage 17 eine Umverdrahtungsschicht 19, die aus einer strukturierten Metallschicht

besteht und Umverdrahtungsleitungen 18, sowie Außenkontaktflächen 20 aufweist. Die Umverdrahtungsleitungen 18 verbinden die Außenkontaktflächen 20 untereinander und über die Durchkontakte 34 mit den Kontaktflächen 6 des ersten Halbleiterchips 3 und mit den Säulenkontaktflächen 13 der Kontaktsäulen 11, die ihrerseits über die Flachleiter 10 und über die Bonddrähte 12 mit den Kontaktflächen 6 des gestapelten zweiten Halbleiterchips 4 elektrisch verbunden sind. Als dritte Schicht ist eine Lötstopplackschicht 37 auf der Umverdrahtungsschicht 19 angeordnet, welche die Umverdrahtungsleitungen 18 schützt und nur die Außenkontaktflächen 20 freilässt. Auf den Außenkontaktflächen 20 sind Lotbälle 21 als Außenkontakte 28 des elektronischen Bauteils 1 angeordnet.

Ein derartiges elektronisches Bauteil 1 kann mit wenigen Verfahrensschritten, die mit den Figuren 2 bis 7 erläutert werden, kostengünstig aus einem Nutzen hergestellt werden.

Figur 2 zeigt einen schematischen Querschnitt eines Flachleiterrahmens 22 mit vier Bauteilpositionen 24 zur Herstellung von Bauteilen gemäß Figur 1. Durch Aufsägen entlang der strichpunktierten Linie 35, ergibt sich die in Figur 1 gezeigte und in Kunststoffmasse eingebettete Flachleiterstruktur 8. Die Bauteilpositionen 24 sind in Zeilen und Spalten angeordnet, so dass ein derartiger Flachleiterrahmen mehrere Flachleiterstrukturen 8 bereitstellt.

Eine Bauteilposition 24 des Flachleiterrahmens 22 weist eine Chipinsel 9 auf, die von Flachleitern 10 umgeben ist, wobei die Chipinsel 9 über Flachleiterstege 36 in Position gehalten wird. Einstückig mit den Flachleitern 10 sind Kontaktsäulen 11 verbunden, die orthogonal zu den Flachleitern 10 ausgerichtet sind und die eine Säulenkontaktfläche 13 aufweisen

Die Länge dieser Kontaktsäulen 11 liegt zwischen 0,1 und 0,9 mm. Die Kontaktsäulen 11 sorgen dafür, dass unterhalb der Chipinsel 9 eine ausreichende Höhe vorhanden ist, um dort einen ersten Halbleiterchip anzuordnen.

5

Figur 3 zeigt einen schematischen Querschnitt des Flachleiterrahmens 22 gemäß Figur 2, bestückt mit zweiten gestapelten Halbleiterchips 4, in den Bauteilpositionen 24. Die Halbleiterchips 4 sind mit ihren Rückseiten 7 auf den Chipinseln 9
10 mittels eines Leitklebers oder eines eutektischen Lotes fixiert. Die Kontaktflächen 6 auf der aktiven Oberseite 5 des gestapelten zweiten Halbleiterchips 4 sind über Bonddrähte 12 einer Goldlegierung mit den Flachleitern 10 verbunden. Dazu weisen die Flachleiter 10 auf den Bondflächen beziehungsweise
15 auf den Berührungsflächen der Bonddrahtverbindungen 12 eine bondbare Beschichtung auf. Somit sind die Säulenkontaktflächen 13 der Kontaktsäulen 11 elektrisch über die Flachleiter 10 und die Bonddrahtverbindungen 12 mit den Kontaktflächen 6 der integrierten Schaltung des gestapelten zweiten Halbleiterchips 4 verbunden.
20

Während der Flachleiterrahmen 22 mit dem zweiten Halbleiterchip 4 bestückt und mit Bonddrahtverbindungen 12 verbunden wird, werden auf einem einseitig klebenden Träger, der in Figur 4 gezeigt wird, erste Halbleiterchips angeordnet. Zeitlich unabhängig von der Herstellung und Bestückung des Flachleiterrahmens 22 werden erste Halbleiterchips 3, wie in Figur 4 gezeigt, auf einem Träger 25 angeordnet.
25

30 Figur 4 zeigt einen schematischen Querschnitt eines einseitig klebenden Trägers 25 mit ersten Halbleiterchips 3. Dazu sind die aktiven Oberseiten 5 der ersten Halbleiterchips 3 mit ihren Kontaktflächen 6 auf die klebende Seite des Trägers 25

aufgeklebt. Die Rückseiten 7 der Halbleiterchips 3, sowie die Randseiten 31 und 32 der ersten Halbleiterchips 3 sind frei zugänglich. Die ersten Halbleiterchips 3 sind auf dem Träger 25 in Zeilen und Spalten entsprechend den Zeilen und Spalten der Bauteilpositionen 24 des Flachleiterrahmens, wie in den Figuren 2 und 3 gezeigt, angeordnet.

Figur 5 zeigt einen schematischen Querschnitt des Flachleiterrahmens 22 gemäß der Figur 3 der auf dem einseitig klebenden Träger 25 gemäß Figur 4 mit seinen Säulenkontaktflächen 13 fixiert ist. Dazu sind die Säulenkontaktoberflächen 13 der Kontaktsäulen 11 auf die klebende Seite des Trägers 25 derart aufgeklebt, dass die Kontaktsäulen 11 den ersten Halbleiterchip 3 auf dem Träger 25 umgeben und die Chipinsel 9 mit dem gestapelten zweiten Halbleiterchip 4 über dem ersten Halbleiterchip 3 ausgerichtet ist. Die Länge der Kontaktsäule 11 richtet sich dabei nach der Dicke des ersten Halbleiterchips 3, die in dieser Ausführungsform der Erfindung bei 100 µm liegt, da der erste Halbleiterchip 3 ein dünngeschliffener Halbleiterchip ist. Jedoch können auch dickere Halbleiterchips eingesetzt werden, da die Länge der Kontaktsäulen 11 zwischen 0,1 und 0,9 mm bei einer für einen durch Ätzen strukturierten Flachleiterrahmen variiert werden kann.

Figur 6 zeigt einen schematischen Querschnitt durch einen Verbundkörper 27 aus einer Kunststoffmasse 26 mit eingebettetem Flachleiterrahmen 22, sowie eingebetteten ersten und zweiten Halbleiterchips 3 und 4. Für das Einbetten der in Figur 5 gezeigten Struktur in eine Kunststoffmasse 26 ist lediglich ein Moldprozess auf dem Träger 25 erforderlich. Nach dem Aushärten der Kunststoffmasse 26 wird der Träger 25 entfernt und die Gesamtoberseite 16 des freitragenden Verbundkörpers 27 freigelegt. Das Delaminieren des Trägers 25 von

dem Verbundkörper 27, kann durch Erhitzen der Klebstoffschicht zwischen Träger und Gesamtoberseite 16 erfolgen, wenn als Klebstoff ein thermoplastischer Kunststoff eingesetzt wird. Das Entfernen des Trägers 25 erfolgt dabei durch seitliches Abziehen des Trägers von dem Verbundkörper 27, wenn
5 ein starrer, einseitig klebender Träger 25 eingesetzt ist. Ein Abrollen des Trägers 25 ist möglich, wenn als einseitig klebender Träger eine Folie eingesetzt ist. Auf die nun freiliegende Gesamtoberseite 16 wird eine Umverdrahtungslage aufgebracht, um den ersten Halbleiterchip 3 mit dem gestapelten
10 zweiten Halbleiterchip 4 zu verdrahten.

Figur 7 zeigt einen schematischen Querschnitt gemäß Figur 6 mit aufgebrachter Umverdrahtungslage 17 und aufgebrachten Außenkontakten 28 auf einer Gesamtoberseite 16 des Nutzens 23.
15 Das Aufbringen der Umverdrahtungslage 17, die ihrerseits drei Schichten aufweist, wird nacheinander durch Aufbringen und Strukturieren der drei Schichten durchgeführt. Dazu weist eine erste Isolationsschicht 33 Durchkontakte 34 auf, die mit
20 den Säulenkontaktflächen 13 der Kontaktsäulen 11 und mit den Kontaktflächen 6 des ersten Halbleiterchips 3 verbunden sind. Als weitere Schicht ist eine strukturierte Metallschicht als Umverdrahtungsschicht 19 in der Umverdrahtungslage 17 angeordnet. Diese Umverdrahtungsschicht 17 weist Umverdrahtungsleitungen 18 zwischen Außenkontaktflächen 20 und in Durchkontakten 34 auf.
25

Als dritte Schicht der Umverdrahtungslage 17 ist eine Lötstopplackschicht 37 aufgebracht, die lediglich die Außenkontaktflächen der Umverdrahtungsschicht 19 freilässt. Auf den
30 freiliegenden Außenkontaktflächen 20 sind als Außenkontakte 28 in dieser Ausführungsform der Erfindung Lotbälle aufgebracht.

Ein derart aufgebauter Nutzen 23 mit Bauteilpositionen 24 weist an den Bauteilpositionen 24 einen Stapel 2 aus einem
5 ersten und einem zweiten Halbleiterchip 3 und 4 auf und kann nach Anbringen der Außenkontakte 28 entlang der strichpunkt-
tierten Linie 35 zu Einzelbauteilen aufgetrennt werden.

Patentansprüche

1. Elektronisches Bauteil das folgende Merkmale aufweist:

- einen Stapel (2) von Halbleiterchips (3,4), mit
- einem ersten Halbleiterchip (3) und
- einem gestapelten zweiten Halbleiterchip (4),
wobei die Halbleiterchips (3,4) eine aktive Ober-
seite (5) mit Kontaktflächen (6) zu integrierten
Schaltungen und eine Rückseite (7) aufweisen,
- eine Flachleiterstruktur (8) mit
- einer Chipinsel (9),
- die Chipinsel (9) umgebenden Flachleitern (10)
und
- Kontaktsäulen (11), die auf den Flachleitern (10)
angeordnet und orthogonal zu den Flachleitern
(10) ausgerichtet sind,

wobei der zweite Halbleiterchip (4) mit seiner Rückseite
(7) auf der Chipinsel (9) angeordnet ist und seine Kon-
taktflächen (6) über Bonddrahtverbindungen (12) mit den
Flachleitern (10) elektrisch verbunden sind, und wobei
der erste Halbleiterchip (3) von den Kontaktsäulen (11)
umgeben und unterhalb der Chipinsel (9) derart angeord-
net ist, dass Säulenkontaktflächen (13) der Kontaktsäu-
len (11), Oberseitenbereiche (14) einer die Halbleiter-
chips (3,4), die Kontaktsäulen (11) und die Flachleiter-
struktur (8) einbettenden Kunststoffgehäusemasse (15)
und die aktive Oberseite (5) des ersten Halbleiterchips
(3) eine Gesamtoberseite (16) bilden, und wobei auf der
Gesamtoberseite (16) eine Umverdrahtungslage (17) ange-
ordnet ist, die über Umverdrahtungsleitungen (18) die
Halbleiterchips (3,4) elektrisch miteinander verbindet.

2. Elektronisches Bauteil nach Anspruch 1,
dadurch gekennzeichnet, dass
die Umverdrahtungslage (17) eine Umverdrahtungsschicht
(19) aufweist, die auf der Gesamtoberseite (16) angeord-
net ist und Außenkontaktflächen (20) aufweist, die über
die Umverdrahtungsleitungen (18) mit den Säulenkontakt-
flächen (13) der Kontaktsäulen (11) und/oder mit den
Kontaktflächen (6) des ersten Halbleiterchips (3) elekt-
risch verbunden sind.
3. Elektronisches Bauteil nach Anspruch 1 oder Anspruch 2,
dadurch gekennzeichnet, dass
auf den Außenkontaktflächen (20) Lotbälle (21) angeord-
net sind.
4. Nutzen, der einen Flachleiterraum (22) mit in Zeilen
und Spalten angeordneten elektronischen Bauteilen (1),
gemäß einem der Ansprüche 1 bis 3 aufweist.
5. Nutzen nach Anspruch 4,
dadurch gekennzeichnet, dass
die Form des Nutzens (23) in Umfang und Umfangsmarkie-
rungen einem Standard-Halbleiterwafer entspricht.
6. Verfahren zur Herstellung eines Nutzens (23) für mehrere
elektronische Bauteile (1), wobei das Verfahren folgende
Verfahrensschritte aufweist:
- Herstellen eines Flachleiterraums (22) mit in
Zeilen und Spalten angeordneten Bauteilpositionen
(24), wobei eine Bauteilposition (24) eine Chipin-
sel (9) und die Chipinsel (9) umgebende Flachleiter
(10), sowie Kontaktsäulen (11), die auf den Flach-

leitern (10) angeordnet und orthogonal zu den Flachleitern (10) ausgerichtet sind,

- Aufbringen eines gestapelten Halbleiterchips (4) auf die Chipinsel (9) der Bauteilpositionen (24),
- 5 - Herstellen von Bonddrahtverbindungen (12) zwischen den Flachleitern (10) und Kontaktflächen (6) auf aktiven Oberseiten (5) der gestapelten Halbleiterchips (3,4),
- Aufbringen von ersten Halbleiterchips (3) mit ihren
10 aktiven Oberseiten (5) auf einen einseitig klebenden Träger (25) unter Anordnen der ersten Halbleiterchips (3) in Zeilen und Spalten, die den Zeilen und Spalten der Bauteilpositionen (24) entsprechen,
- Aufbringen des Flachleiterrahmen (22) mit gestapelten
15 Halbleiterchips (4) auf den Träger (25) in der Weise, dass die Kontaktsäulen (11) des Flachleiterrahmens (22) mit ihren Oberseiten auf dem Träger (25) kleben und die ersten Halbleiterchips (3) auf dem Träger (25) unterhalb der Chipinseln (9) des
20 Flachleiterrahmens (22) angeordnet und von Kontaktsäulen (11) umgeben sind,
- Einbetten des Flachleiterrahmens (22) mit gestapelten Halbleiterchips (3,4) und Bonddrahtverbindungen (12) in einer Kunststoffmasse (26) zu einer Verbundkörper (27) auf dem Träger (25),
25
- Entfernen des Trägers (25) unter Freilegen einer Gesamtoberseite (16) aus aktiven Oberseiten (5) der ersten Halbleiterchips (3), Säulenkontaktflächen (13) der Kontaktsäulen (11) und einer Oberseite
30 (14) der Kunststoffmasse (26),
- Aufbringen einer Umverdrahtungslage (17) auf die Gesamtoberseite (16) unter Ausbilden von Umverdrahtungsleitungen (18) und Außenkontaktflächen (20),

wobei die Umverdrahtungsleitungen (18) die Außenkontaktflächen (20) mit den Kontaktflächen (6) des ersten Halbleiterchips (3) und/oder mit den Säulenkontaktflächen (13) der Kontaktsäulen (11) verbinden.

5

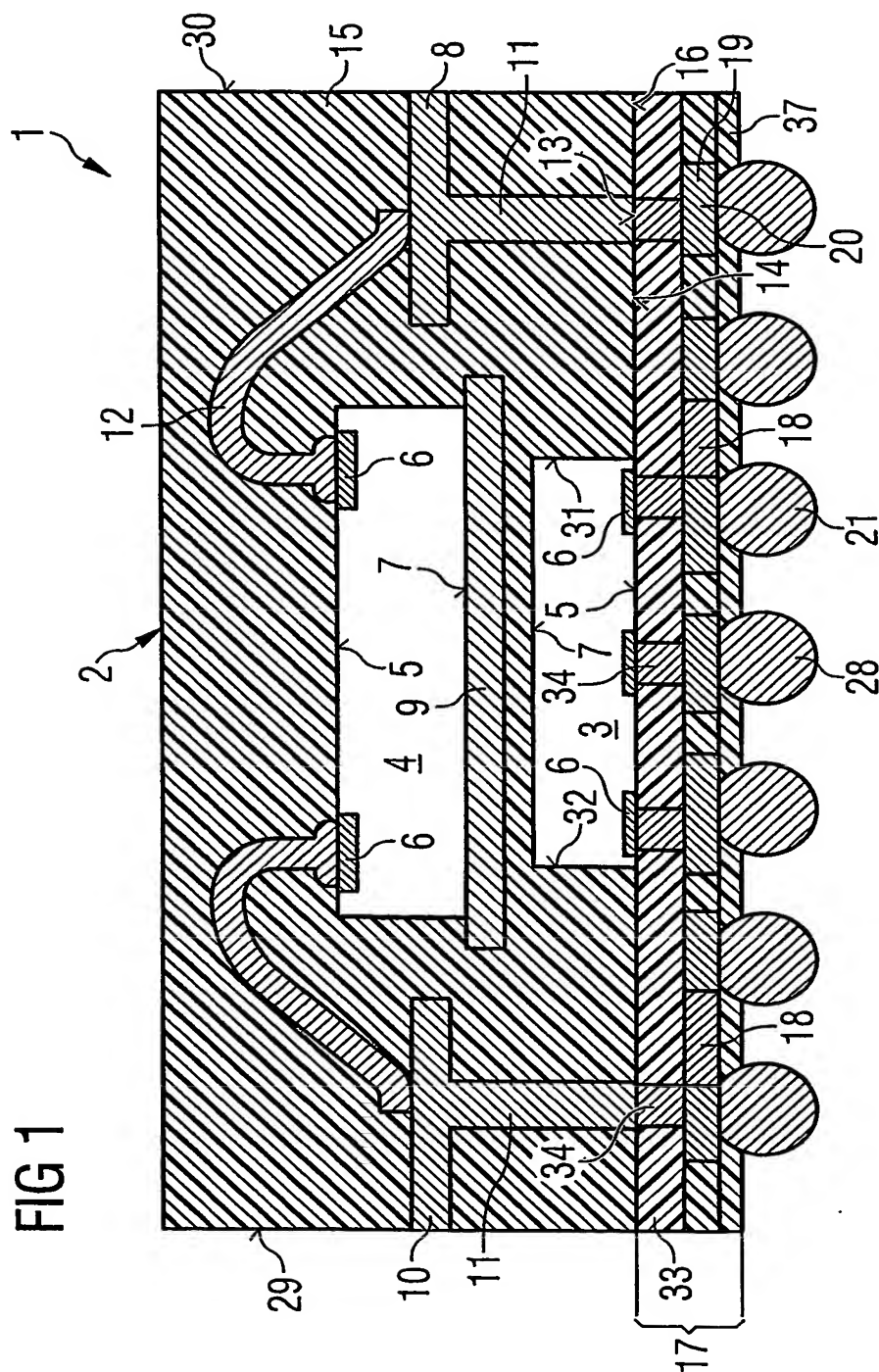
7. Verfahren nach Anspruch 6,
dadurch gekennzeichnet, dass
auf die Außenkontaktflächen (20) Lotbälle (21) als Außenkontakte aufgebracht werden.
8. Verfahren zur Herstellung eines elektronischen Bauteils,
dass die Verfahrensschritte aufweist:
 - Herstellen eines Nutzens (23) gemäß Anspruch 6 oder
 - Auftrennen des Nutzens (23) in einzelne elektronische Bauteile (1).
9. Verfahren nach Anspruch 8,
dadurch gekennzeichnet, dass
auf den Außenkontaktflächen (20) eines elektronischen Bauteils (1) Außenkontakte aufgebracht werden.

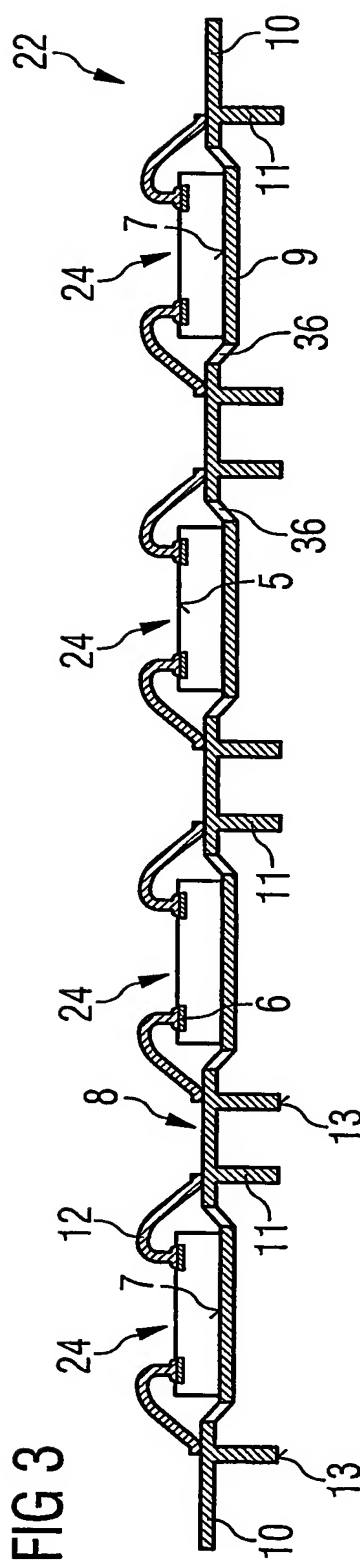
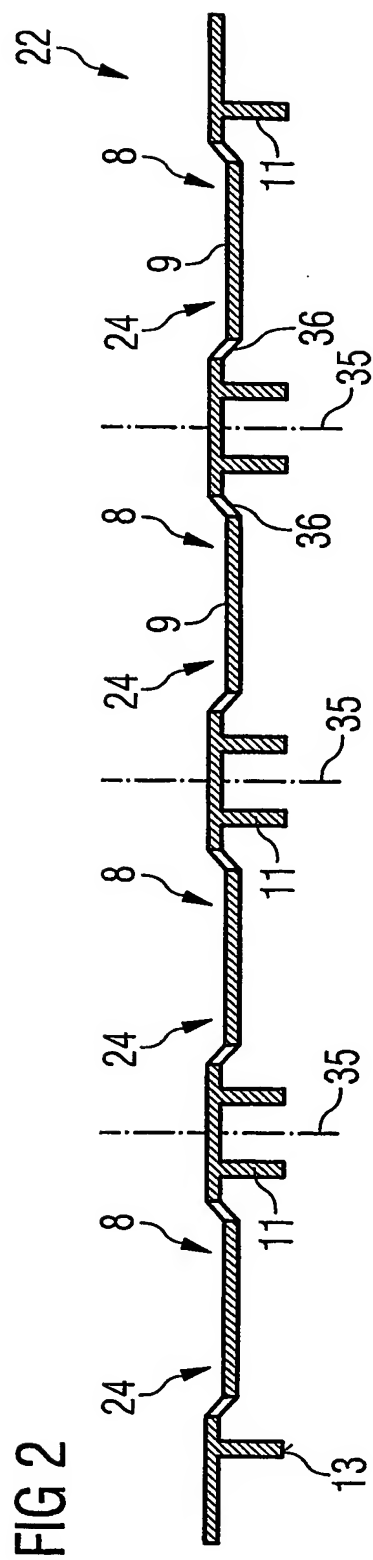
10

15

20

FIG 1





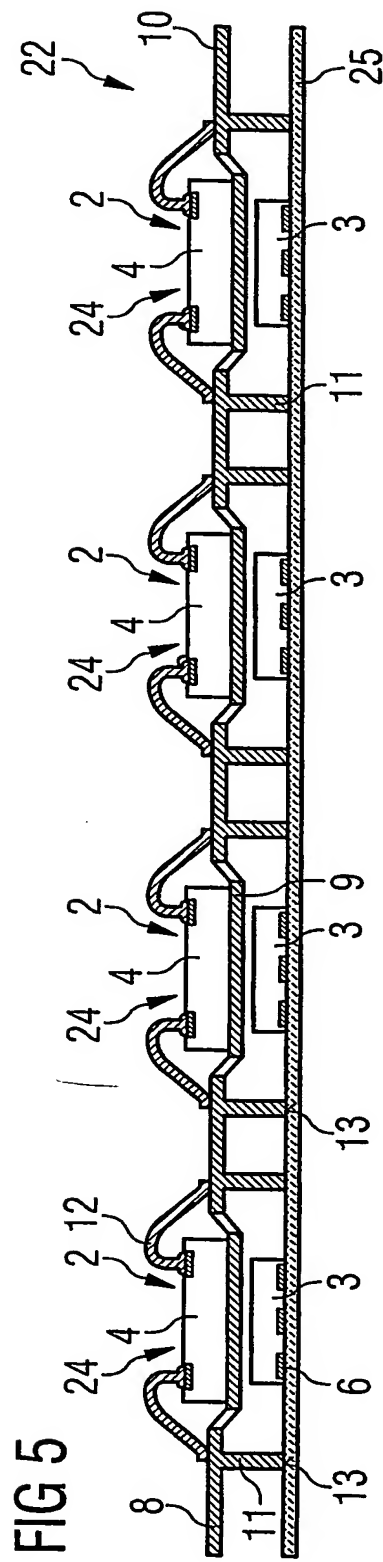
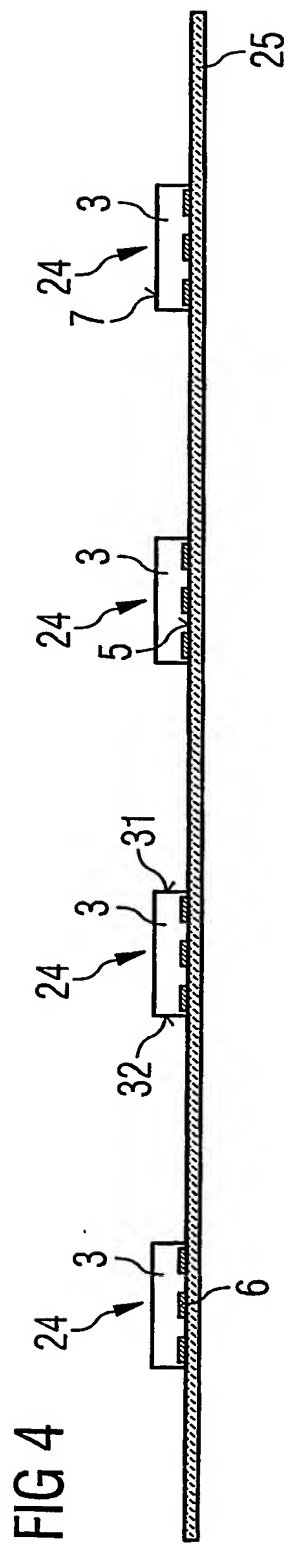


FIG 6

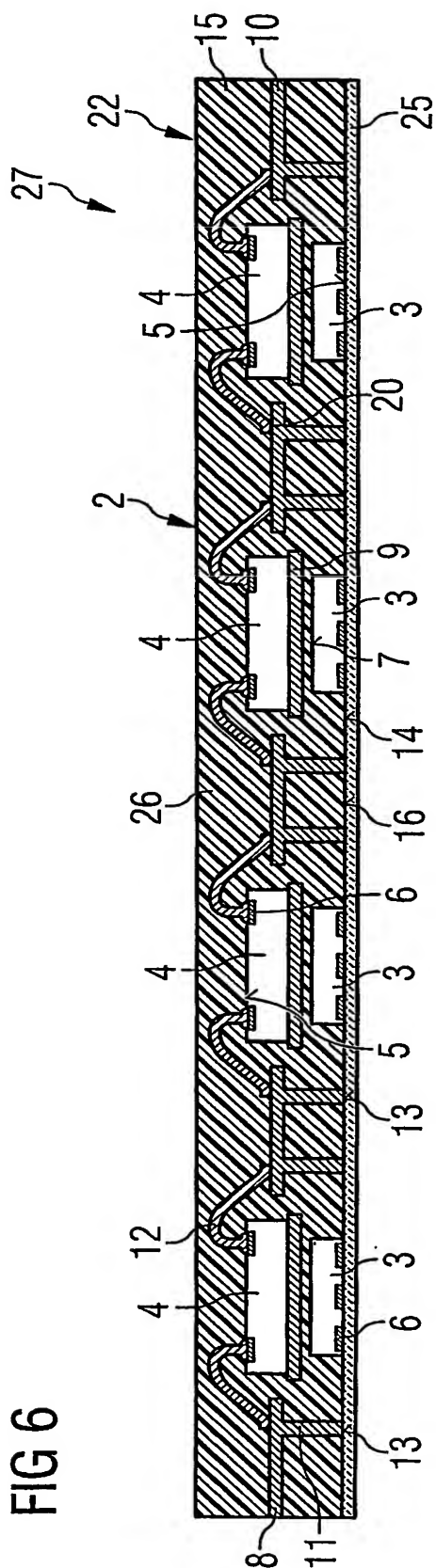


FIG 7

